

F4

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-350672  
(P2001-350672A)

(43)公開日 平成13年12月21日(2001.12.21)

(51)Int.Cl.<sup>7</sup>  
G 0 6 F 12/16

識別記号  
3 1 0

F I  
G 0 6 F 12/16

テ-マコ-ト(参考)  
3 1 0 L 5 B 0 1 8

審査請求 未請求 請求項の数4 OL (全9頁)

(21)出願番号 特願2000-171558(P2000-171558)

(22)出願日 平成12年6月8日(2000.6.8)

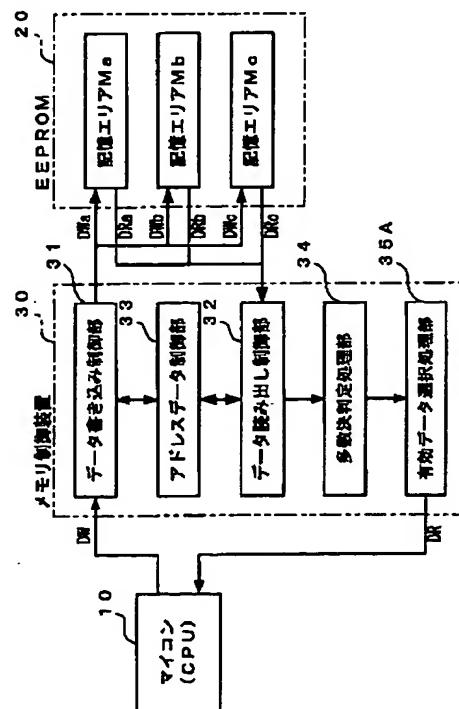
(71)出願人 000001443  
カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号  
(72)発明者 柏原 聰  
東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内  
(74)代理人 100096699  
弁理士 鹿嶋 英實  
Fターム(参考) 5B018 GA04 HA06 NA06 QA20

(54)【発明の名称】 メモリ制御装置およびそのデータ処理方法

(57)【要約】

【課題】 記録素子の複数の記憶エリアに記録された複数の書き込みデータを多数決判定することにより、有効なデータを選択して出力するメモリ制御装置において、書き込みデータがすべて異なっている場合であっても、良好に有効なデータを選択して出力することができるメモリ制御装置およびそのデータ処理方法を提供することを目的とする。

【解決手段】 本発明に係るメモリ制御装置30は、データ書き込み制御部31と、データ読み出し制御部32と、アドレスデータ制御部33と、多数決判定処理部34と、有効データ選択処理部35Aと、を備えた構成を有し、制御データの読み出し動作時に、読み出されたデータがすべて相違し、多数決判定が正常に実行できなかった場合には、EEPROM20に最初に書き込まれたデータを有効データに設定してマイコン10に出力する。



## 【特許請求の範囲】

【請求項1】書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置において、所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に、順次書き込むデータ書き込み手段と、前記複数の記憶エリアに個別に書き込まれた前記書き込みデータを複数の読み出しデータとして読み出し、該複数の読み出しデータに基づいて、有効データを決定して出力するデータ読み出し手段と、を備え、  
前記データ読み出し手段は、前記複数の記憶エリアから読み出された前記複数の読み出しデータに対して多数決判定を行い、多数を占める前記読み出しデータを前記有効データとして選択し、出力するとともに、前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、前記データ書き込み手段により前記記憶手段に最初に書き込まれた前記書き込みデータに対応する前記読み出しデータを前記有効データとして選択し、出力することを特徴とするメモリ制御装置。

【請求項2】書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置において、所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に、順次書き込むデータ書き込み手段と、  
予め設定されたデフォルトデータを予め保持するデフォルトデータ保持手段と、  
前記複数の記憶エリアに個別に書き込まれた前記書き込みデータを複数の読み出しデータとして読み出し、該複数の読み出しデータに基づいて、有効データを決定して出力するデータ読み出し手段と、  
を備え、

前記データ読み出し手段は、前記複数の記憶エリアから読み出された前記複数の読み出しデータに対して多数決判定を行い、多数を占める前記読み出しデータを前記有効データとして選択し、出力するとともに、前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、前記デフォルトデータ保持手段に予め保持されている前記デフォルトデータを前記有効データとして選択し、出力することを特徴とするメモリ制御装置。

【請求項3】書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置のデータ処理方法において、  
所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に、順次書き込む処理と、  
前記複数の記憶エリアに個別に書き込まれた前記書き込みデータを複数の読み出しデータとして読み出し、該複数の読み出しデータに対して多数決判定を行う処理と、

前記多数決判定において、多数を占める前記読み出しデータを前記有効データとして選択する処理と、  
前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、前記記憶手段に最初に書き込まれた前記書き込みデータに対応する前記読み出しデータを前記有効データとして選択する処理と、  
前記有効データとして選択された前記書き込みデータを出力する処理と、を有することを特徴とするメモリ制御装置のデータ処理方法。

【請求項4】書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置のデータ処理方法において、  
所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に、順次書き込む処理と、  
前記複数の記憶エリアに個別に書き込まれた前記書き込みデータを複数の読み出しデータとして読み出し、該複数の読み出しデータに対して多数決判定を行う処理と、  
前記多数決判定において、多数を占める前記読み出しデータを前記有効データとして選択する処理と、  
前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、予め保持されたデフォルトデータを前記有効データとして選択する処理と、  
前記選択された有効データを出力する処理と、を有することを特徴とするメモリ制御装置のデータ処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メモリ制御装置およびそのデータ処理方法に関し、特に、マイコン制御等において、制御データを記憶手段に書き込み、読み出しづする際に、制御データの異常に対処して有効なデータを選択、出力可能なメモリ制御装置およびそのデータ処理方法に関する。

## 【0002】

【従来の技術】近年、家電製品の動作制御や車両の走行制御、ビルのメンテナンス等、様々な用途に制御用マイクロプロセッサ（以下、「マイコン制御回路」と記す）が利用されている。このようなマイコン制御回路を用いて機器の動作制御を行う場合、制御プログラムに用いられるプログラムデータや演算データ等（以下、「制御データ」と総称する）を記憶する手段（記憶素子）として、たとえば、EEPROM（電気的消去・書き込み可能な読み出し専用メモリ）が適用されている。

【0003】ここで、マイコン制御回路におけるEEPROM等の記憶素子への制御データ等の書き込み、読み出し動作（または、送受信動作）においては、マイコン制御回路のCPU（中央演算処理装置）とEEPROM

M等の周回路とを、シリアル通信等の手法により送受信を行う場合、上記制御データをEEPROMに書き込む送信動作中に、通信障害（たとえば、電源レベルの低下等）や、記憶素子の動作不良、特性異常等によって、制御データの破壊や破損が発生する場合がある。

【0004】このような制御データの破壊によるマイコン制御の異常の発生を防止する技術としては、書き込み動作時に、単一の制御データを複数回書き込んで、それぞれの制御データ（書き込みデータ）を記録素子の異なる複数の記憶エリアに個別に記憶し、読み出し動作時には、複数の記憶エリアに記憶されている制御データを読み出して、これらの読み出された制御データに対して多数決判定処理を行って有効なデータを選択決定する手法が知られている。このような多数決判定処理により、書き込まれた制御データの異常に起因するマイコン制御の誤動作の発生を抑制するデータ処理方法については、特開平7-262795号公報等に詳しく説明されている。

#### 【0005】

【発明が解決しようとする課題】しかしながら、上述したような多数決判定処理を適用したデータ処理方法においては、記憶素子の複数の記憶エリアに書き込まれた制御データがすべて異なっていた場合には、読み出し動作時における多数決判定処理が正常に行われなくなり（判定不可となり）、マイコン制御回路による機器の動作制御に支障を生じるという問題を有していた。

【0006】そこで、本発明は、上述したような問題点に鑑み、書き込みデータを記録素子の複数の記憶エリアに個別に記憶し、これらの記憶エリアに記録された複数の書き込みデータを多数決判定することにより、有効なデータを選択して出力するメモリ制御装置において、記録素子の複数の記憶エリアに記憶された書き込みデータがすべて異なっている場合であっても、良好に有効なデータを選択して出力することができるメモリ制御装置およびそのデータ処理方法を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】請求項1記載のメモリ制御装置は、書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置において、所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に書き込みデータと複数の読み出しデータとして読み出し、該複数の読み出しデータに基づいて、有効データを決定して出力するデータ読み出し手段と、を備え、前記データ読み出し手段は、前記複数の記憶エリアから読み出された前記複数の読み出しデータに対して多数決判定を行い、多数を占める前記読み出しデータを前記有効データとして選択し、出力するとともに、前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、前記記憶手段に最初に書き込まれた前記書き込みデータに対応する前記読み出しデータを前記有効データとして選択する処理と、前記有効データとして選択された前記書き込みデータを出力する処理と、を有することを特徴としている。

複数の読み出しデータがすべて相違している場合には、前記データ書き込み手段により前記記憶手段に最初に書き込まれた前記書き込みデータに対応する前記読み出しデータを前記有効データとして選択し、出力することを特徴としている。

【0008】請求項2記載のメモリ制御装置は、書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置において、所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に、順次書き込むデータ書き込み手段と、予め設定されたデフォルトデータを予め保持するデフォルトデータ保持手段と、前記複数の記憶エリアに個別に書き込まれた前記書き込みデータを複数の読み出しデータとして読み出し、該複数の読み出しデータに基づいて、有効データを決定して出力するデータ読み出し手段と、を備え、前記データ読み出し手段は、前記複数の記憶エリアから読み出された前記複数の読み出しデータに対して多数決判定を行い、多数を占める前記読み出しデータを前記有効データとして選択し、出力するとともに、前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、前記デフォルトデータ保持手段に予め保持されている前記デフォルトデータを前記有効データとして選択し、出力することを特徴としている。

【0009】請求項3記載のメモリ制御装置のデータ処理方法は、書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置のデータ処理方法において、所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に、順次書き込む処理と、前記複数の記憶エリアに個別に書き込まれた前記書き込みデータを複数の読み出しデータとして読み出し、該複数の読み出しデータに対して多数決判定を行う処理と、前記多数決判定において、多数を占める前記読み出しデータを前記有効データとして選択する処理と、前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、前記記憶手段に最初に書き込まれた前記書き込みデータに対応する前記読み出しデータを前記有効データとして選択する処理と、前記有効データとして選択された前記書き込みデータを出力する処理と、を有することを特徴としている。

【0010】請求項4記載のメモリ制御装置のデータ処理方法は、書き換え可能な記憶手段へのデータの書き込み、読み出しを制御するメモリ制御装置のデータ処理方法において、所定の書き込みデータを前記記憶手段に書き込む際に、同一の前記書き込みデータを複数の記憶エリアに個別に、順次書き込む処理と、前記複数の記憶エリアに個別に書き込まれた前記書き込みデータを複数の読み出しデータとして読み出し、該複数の読み出しデータに対して多数決判定を行う処理と、前記多数決判定において、多数を占める前記読み出しデータを前記有効データとして選択し、出力するとともに、前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、前記記憶手段に最初に書き込まれた前記書き込みデータに対応する前記読み出しデータを前記有効データとして選択し、出力することを特徴としている。

において、多数を占める前記読み出しデータを前記有効データとして選択する処理と、前記多数決判定において、読み出された前記複数の読み出しデータがすべて相違している場合には、予め保持されたデフォルトデータを前記有効データとして選択する処理と、前記選択された有効データを出力する処理と、を有していることを特徴としている。

【0011】すなわち、本発明に係るメモリ制御装置およびデータ制御方法は、記憶手段の異なる記憶エリアに書き込まれた同一データを読み出し、多数決判定により有効データを決定するメモリ制御装置において、読み出されたデータがすべて異なり、多数決判定が正常に実行できなかった場合には、記憶手段に最初に書き込まれたデータに対応する読み出しデータ、あるいは、予め保持されているデフォルトデータを有効データとして選択する。

【0012】したがって、このようなメモリ制御装置およびそのデータ制御方法によれば、メモリに書き込まれたデータを読み出す際に、データの書き込み動作中の異常や記憶手段の不良等により、書き込みデータが破壊または破損して、正常な多数決判定ができない場合であっても、最も正常と判定される確率の高いデータ（記憶手段に最初に書き込まれたデータ、あるいは、予め保持されているデフォルトデータ）を有効データとして選択して出力することができるので、マイコン制御に適用した場合に、破壊されたデータによるマイコンの誤動作の発生を抑制することができ、信頼性の高いマイコン制御回路を提供することができる。

### 【0013】

【発明の実施の形態】以下、本発明に係るメモリ制御装置およびそのデータ処理方法の実施の形態について、図面を参照しながら説明する。

＜第1の実施形態＞図1は、本発明に係るメモリ制御装置を適用したマイコン制御回路の第1の実施形態を示す概略構成図である。図1に示すように、本発明に係るメモリ制御装置30は、大別して、データ書き込み制御部31と、データ読み出し制御部32と、アドレスデータ制御部33と、多数決判定処理部34と、有効データ選択処理部35Aと、を備えた構成を有し、このメモリ制御装置30を介して、マイコン本体（CPU）10とEEPROM（記憶素子）20との間で、マイコン制御に必要な制御データの書き込み、読み出し動作が実行される。

【0014】以下、各構成について説明する。マイコン（CPU）10は、所定の制御プログラムを実行することにより、たとえば、制御対象となる機器（図示を省略）の駆動制御を行う。ここで、駆動制御に必要な制御データ（プログラムデータや演算データ等）は、メモリ制御装置30を介してEEPROM20に書き込み、読み出しことにより、必要に応じて利用される。な

お、マイコン10とメモリ制御装置30（またはEEPROM20）との制御データの書き込み、読み出し動作は、たとえば、シリアル通信等の手法を用いて送受信することにより行われる。

【0015】EEPROM20は、少なくとも、マイコン制御に利用される制御データを格納する複数（図1では、3個）の記憶エリアMa、Mb、Mcを有し、メモリ制御装置30を構成するデータ書き込み制御部31およびデータ読み出し制御部32により、書き込み動作時には、同一の制御データが、各記憶エリアMa、Mb、Mcの所定のアドレスに、個別に順次格納されるとともに、読み出し動作時には、同一の制御データに対応する各記憶エリアMa、Mb、Mcのアドレスに格納された制御データが読み出される。すなわち、EEPROM20へのデータの書き込み、読み出し動作は、各々複数回（3回）ずつ実行される。

【0016】データ書き込み制御部31は、マイコン10からの指令に基づいて、制御データをEEPROM20の各記憶エリアMa、Mb、Mcに記憶する。ここで、データの書き込み動作は、上述したように、EEPROM20の複数の記憶エリアMa、Mb、Mcに対して、同一のデータを、たとえば、記憶エリアMa、Mb、Mcの順にアドレスを指定して個別に記憶する。なお、これら同一のデータが記憶される各記憶エリアMa、Mb、Mcのアドレスデータは、後述するアドレスデータ制御部33により相互に関連付けられて管理される。

【0017】データ読み出し制御部32は、マイコン10からの指令に基づいて、EEPROM20に記憶された制御データのうち、マイコン制御に利用される制御データを各記憶エリアMa、Mb、Mcから読み出す。ここで、データの読み出し動作は、EEPROM20の複数の記憶エリアMa、Mb、Mcに対して、アドレスデータ制御部32により同一のデータとして相互に関連付けられたアドレスに格納された制御データを、たとえば、記憶エリアMa、Mb、Mcの順にアドレスを指定して個別に読み出す。

【0018】アドレスデータ制御部33は、上述したように、制御データの書き込み、読み出し動作時に、EEPROM20の各記憶エリアMa、Mb、Mcに書き込まれた同一の制御データのアドレス相互を関連付けして管理し、マイコンからの指令に基づいて、該当する制御データの書き込みアドレスおよび読み出しアドレスを設定し、データ書き込み制御部31およびデータ読み出し制御部32に通知する。

【0019】多数決判定処理部34は、データ読み出し制御部32によるデータの読み出し動作時に、EEPROM20の各記憶エリアMa、Mb、Mcから読み出された複数（3個）の制御データに対して、多数決判定処理を実行し、多数（本実施形態の場合、2個または3

個) を占める制御データを選択する。ここで、読み出された複数の制御データにより、正常に多数判定が実行された場合には、判定終了の制御通知信号を後述する有効データ選択処理部35Aに出力する。一方、多数判定処理において、読み出された複数の制御データが、すべて異なり、多数判定が正常に実行されなかった場合には、判定不可の制御通知信号を有効データ選択処理部35Aに出力する。

【0020】有効データ選択処理部35Aは、多数判定処理部34から出力される多数判定処理に関する制御通知信号に基づいて、マイコン10に出力する有効データを決定する。ここで、多数判定処理部34から出力される制御通知信号が、判定終了を示す場合には、多数判定処理により選択された制御データを、有効データに設定してマイコン10に出力する。一方、制御通知信号が、判定不可を示す場合には、読み出された複数の制御データのうち、最初にEEPROM20に書き込まれたデータを、有効データに設定してマイコン10に出力する。

【0021】上述したように、有効データ選択処理部35Aにおいて、多数判定が正常に実行されなかった場合に、最初にEEPROM20に書き込まれたデータを有効データに設定するという有効データの選択設定処理は、一般に、データの書き込み動作(データの送受信中)において、たとえば、1回目にデータを正常に書き込んだ後、何らかの原因により電圧レベルに異常が生じ、2回目以降の書き込み動作が正常に行われなくなり、書き込みデータの破壊や破損が生じる可能性が高いという現象に基づいている。

【0022】したがって、書き込み動作において、2回目、3回目以降にEEPROM20に書き込まれるデータに比較して、最初(1回目)に書き込まれたデータが正しい、すなわち、有効なデータであるという確率が比較的高いので、多数判定が正常に実行されなかった場合に、最初にEEPROM20に書き込まれたデータをマイコン制御に利用することにより、誤動作の発生を大幅に抑制することができる。

【0023】次に、上述したような構成を有するメモリ制御装置におけるデータ処理方法について、図面を参照して説明する。図2、図3は、本実施形態に係るメモリ制御装置に適用されるデータ処理の動作手順を示すフローチャートであって、図2は、本実施形態に係るデータ書き込み動作を示すフローチャートであり、図3は、本実施形態に係るデータ読み出し動作を示すフローチャートである。なお、ここでは、上述したメモリ制御装置の構成(図1)を適宜参照しながら説明する。

【0024】<データ書き込み動作>本実施形態に係るデータ書き込み動作は、たとえば、マイコン10による機器の駆動制御の途中で、制御データの書き込み要求が発生されることにより、図2に示すようなデータ書き込

み動作がスタートする。

【0025】(S101) 制御データの書き込み要求の発生により、データ書き込み制御部31は、当該制御データDWを書き込む記憶エリアを設定するとともに、アドレスデータ制御部33から書き込み対象となっている記憶エリアのアドレスデータを取得する。具体的には、たとえば、EEPROM20に設定された3個の記憶エリアMa、Mb、Mcのうち、1回目のデータ書き込み動作の対象として記憶エリアMaを設定するとともに、当該記憶エリアMaにおける書き込みアドレスを指定する。

【0026】(S102) 次いで、上記ステップS101により指定された記憶エリアMaの所定のアドレスに、マイコン10から送信された制御データDWa(=DW)を格納する(1回目の書き込み動作)。

【0027】(S103/S104) 次いで、上記ステップS101、S102に示した制御データDWの書き込み動作が3回実行されたか否かが判別される。ここで、制御データDWの書き込み動作が1回または2回終了した状態の場合には、2回目または3回目の書き込み動作の対象となる記憶エリアMbまたはMcを設定するとともに、当該記憶エリアMb、Mcにおける制御データDWの書き込みアドレスを指定して、上記ステップ102に示したように、記憶エリアMbまたはMcの所定のアドレスに、1回目と同一の制御データDWb(=DW)またはDWc(=DW)を格納する(2回目、3回目の書き込み動作)。

【0028】以上のような一連の書き込み動作を実行することにより、同一の制御データDWが3つの記憶エリアMa、Mb、Mcに個別に、順次書き込まれる。これにより、マイコン10から送信された制御データDWは、EEPROMに3回連続して個別の制御データDWa、DWb、DWcとして書き込まれることになり、データ書き込み動作を終了する。なお、このとき、アドレスデータ制御部33は、3つの記憶エリアMa、Mb、Mcに書き込んだ制御データDWa、DWb、DWcのアドレスを相互に関連付けて保持する。

【0029】<データ読み出し動作>本実施形態に係るデータ読み出し動作動作は、たとえば、マイコン10による機器の駆動制御の途中で、制御データの読み出し要求が発生されることにより、図3に示すようなデータ読み出し動作がスタートする。

【0030】(S111) 制御データの読み出し要求の発生により、データ読み出し制御部32は、当該制御データが記憶された記憶エリアを設定するとともに、アドレスデータ制御部33から読み出し対象となっている制御データのアドレスデータを取得する。具体的には、たとえば、EEPROM20に設定された3個の記憶エリアMa、Mb、Mcのうち、データ読み出し動作の対象として記憶エリアMaを指定するとともに、当該記憶エ

リアM aにおける読み出し対象となっている制御データD R aのアドレスを指定する。

【0031】(S112)次いで、上記ステップS111により指定された記憶エリアM aの所定のアドレスに格納された制御データD R aを読み出す(1回目の読み出し動作)。

【0032】(S113/S114)次いで、上記ステップS111、S112に示した制御データの読み出し動作が3回実行されたか否かが判別される。ここで、制御データの読み出し動作が1回または2回終了した状態の場合には、2回目または3回目の読み出し動作の対象となる記憶エリアM bまたはM cを設定するとともに、当該記憶エリアM b、M cにおける読み出し対象となっている制御データD R bまたはD R cのアドレスを指定して、上記ステップ112に示したように、記憶エリアM bまたはM cの所定のアドレスに格納された制御データD R bまたはD R cを読み出す(2回目、3回目の読み出し動作)。

【0033】以上のような一連の処理を実行することにより、同一の書き込み動作により3つの記憶エリアM a、M b、M cに個別に、順次書き込まれ、記憶されていた制御データD R a、D R b、D R cが読み出される。これにより、EEPROM20に同一の制御データとして記憶された制御データが連続して読み出されたことになる。

【0034】(S115/S116)次いで、多数決判定処理部34により、EEPROM20から読み出された3つの制御データD R a、D R b、D R cに対して、多数決判定処理を実行する。具体的には、まず、制御データD R aと制御データD R bが一致するか否かを判別する。そして、両者が一致する場合には、読み出された3つの制御データD R a、D R b、D R cのうち、2つ以上(D R a、D R b)が一致することになり、多数を占めることになるので、有効データ選択処理部35Aにより、当該制御データD R a(または、D R b)を有効データD Rに設定して、通信線を介してマイコン10に送信出力し、データ読み出し動作を終了する。

【0035】(S117/S118)一方、上記ステップS115において、制御データD R aと制御データD R bが一致しないと判別された場合には、次いで、制御データD R bと制御データD R cが一致するか否かを判別する。そして、両者が一致する場合には、読み出された3つの制御データD R a、D R b、D R cのうち、2つ(D R b、D R c)が一致することになり、多数を占めることになるので、有効データ選択処理部35Aにより、当該制御データD R b(または、D R c)を有効データD Rに設定して、通信線を介してマイコン10に送信出力し、データ読み出し動作を終了する。

【0036】(S119/S120)一方、上記ステップS117において、制御データD R bと制御データD

R cが一致しないと判別された場合には、次いで、制御データD R aと制御データD R cが一致するか否かを判別する。そして、両者が一致する場合には、読み出された3つの制御データD R a、D R b、D R cのうち、2つ(D R a、D R c)が一致することになり、多数を占めることになるので、有効データ選択処理部35Aにより、当該制御データD R a(または、D R c)を有効データD Rに設定して、通信線を介してマイコン10に送信出力し、データ読み出し動作を終了する。

【0037】(S121)一方、上記ステップS119において、制御データD R aと制御データD R cが一致しないと判別された場合には、読み出された3つの制御データD R a、D R b、D R cのすべてが異なることになる。この場合、書き込み動作において最初にEEPROM20に書き込まれた制御データ、たとえば、記憶エリアM aに記憶された制御データD R aを有効データD Rに設定して、通信線を介してマイコン10に送信出力し、データ読み出し動作を終了する。

【0038】したがって、上述したような一連のデータ処理方法によれば、書き込み動作時に通信異常等により書き込みデータの破壊や破損が生じ、かつ、読み出し動作時の多数決判定処理が正常に実行されなかつた場合であっても、書き込み動作において、最も正常(有効)と考えられる最初(1回目)に書き込まれたデータを選択して、マイコン制御に利用することができるので、誤動作の発生を抑制して、信頼性の高いマイコン制御回路を提供することができる。

【0039】<第2の実施形態>次に、本発明に係るメモリ制御装置の第2の実施形態について、図面を参照して説明する。図4は、本発明に係るメモリ制御装置を適用したマイコン制御回路の第2の実施形態を示す概略構成図である。ここで、上述した実施形態と同等の構成については、同一の符号を付して、その説明を簡略化する。

【0040】図4に示すように、本発明に係るメモリ制御装置30は、大別して、データ書き込み制御部31と、データ読み出し制御部32と、アドレスデータ制御部33と、多数決判定処理部34と、有効データ選択処理部35Bと、デフォルトデータ保持部36と、を備えた構成を有し、このメモリ制御装置30を介して、マイコン本体(CPU)10とEEPROM(記憶素子)20との間で、マイコン制御に必要な制御データの書き込み、読み出し動作が実行される。ここで、データ書き込み制御部31、データ読み出し制御部32、アドレスデータ制御部33、多数決判定処理部34は、上述した第1の実施形態と同等の構成および機能を有しているので、その説明を省略する。

【0041】有効データ決定処理部35Bは、多数決判定処理部34から出力される多数決判定処理に関する制御通知信号に基づいて、マイコン10に出力する有効デ

ータを決定する。ここで、多数決判定処理部34から出力される制御通知信号が、判定終了を示す場合には、多数決判定処理により選択された制御データを、有効データに設定してマイコン10に出力する。一方、制御通知信号が、判定不可を示す場合には、後述するデフォルトデータ保持部36に予め保持されたデフォルトデータを、有効データに設定してマイコン10に出力する。

【0042】デフォルトデータ保持部36は、マイコン制御に関連して、通常の駆動制御において利用される制御データのうち、最も使用確率の高いデフォルトデータを格納し、上述した有効データ決定処理部35Bにおける有効データの選択設定処理に際し、所定のデフォルトデータが読み出される。ここで、デフォルトデータ保持部36は、EEPROM20とは個別の記憶素子により構成されるものであってもよいし、上述した制御データが記憶されるEEPROM20に設定された別個の記憶エリアであってもよい。

【0043】上述したように、有効データ決定処理部35Bにおいて、多数決判定が正常に実行されなかった場合に、デフォルトデータ保持部36に予め保持されたデータを有効データとするという、有効データの選択設定処理は、マイコン制御で実行される演算処理のパターンが系統的な傾向を示すことに基づいている。したがって、マイコン制御において使用確率の高い制御データをデフォルトデータとして予めデフォルトデータ保持部36に格納しておき、書き込みデータの破壊や破損が生じて、多数決判定が正常に実行されなかった場合に、デフォルトデータを読み出して利用することにより、マイコン制御における誤動作の発生を大幅に抑制することができる。

【0044】次に、上述したような構成を有するメモリ制御装置におけるデータ処理方法について、図面を参照して説明する。図5は、本実施形態に係るメモリ制御装置に適用されるデータ処理手順を示すフローチャートである。なお、本実施形態において、データ書き込み動作およびデータ読み出し動作の一部は、上述した実施形態に示した処理手順(図2、図3)と同等であるので、ここでは、本実施形態の特徴であるデータ読み出し動作における主要な処理手順のみを示し、上述したデータ処理方法と同一の処理手順については、その説明を省略または簡略化する。

【0045】(S115～S120) 上述した実施形態に示した処理手順(図3)と同様に、制御データの読み出し処理(S111～S114)を実行した後、図5に示すように、ステップS115～S120の多数決判定処理において、読み出された3つの制御データDRa、DRb、DRcうち、いずれか2つの制御データが一致した場合には、一致した制御データを多数を占めることになるので、当該制御データを有効データDRに設定してマイコン10に出力する。

【0046】(S131/S132) 一方、上記ステップS115～S120において、読み出された3つの制御データDRa、DRb、DRcのすべてが異なり、いずれも一致しなかった場合には、デフォルトデータ保持部36に予め保持された、マイコン制御において使用確率の高いデフォルトデータDdを読み出して、当該デフォルトデータDdを有効データDRに設定して、通信線を介してマイコン10に送信出し、データ読み出し動作を終了する。

【0047】したがって、本実施形態に係る一連のデータ処理方法によれば、書き込み動作時に通信異常等により書き込みデータの破壊や破損が生じ、かつ、読み出し動作時の多数決判定処理が正常に実行されなかった場合であっても、予め保持されたマイコン制御において最も使用確率の高いデフォルトデータを読み出して、マイコン制御に利用することができるので、誤動作の発生を抑制して、信頼性の高いマイコン制御回路を提供することができる。

【0048】なお、上述した各実施形態においては、EEPROMに設定される記憶エリアの数を3つとして、制御データの書き込み回数を3回とした場合について説明したが、本発明に係るメモリ制御装置は、これに限定されないことはいうまでもない。この場合、本発明に係るメモリ制御装置においては、EEPROMから読み出されたデータに対して、多数決判定処理を実行して多数を占める読み出しデータを有効データとしてマイコンに出力する処理手順を有しているので、EEPROMへの同一データの書き込み動作回数およびそれに対応する記憶エリアの数は、奇数に設定されている必要がある。また、上述した各実施形態においては、記憶素子としてEEPROMを示した説明したが、本発明はこれに限定されるものではない。要するに、データの書き込み、読み出しが可能であって、マイコン制御等に用いられる制御データを適切に記憶することができる記憶素子であれば、他の形態のものであってもよい。

【0049】

【発明の効果】本発明に係るメモリ制御装置およびそのデータ処理方法によれば、メモリに書き込まれたデータを読み出す際に、データの書き込み動作中の異常や記憶手段の不良等により、書き込みデータが破損または破壊されて、正常な多数決判定ができない場合であっても、最も正常と判定される確率の高いデータ(記憶手段に最初に書き込まれたデータ、あるいは、予め保持されているデフォルトデータ)を有効データとして選択して出力することができるので、マイコン制御に適用した場合に、破壊されたデータによるマイコンの誤動作の発生を抑制することができ、信頼性の高いマイコン制御回路を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るメモリ制御装置を適用したマイコ

ン制御回路の第1の実施形態を示す概略構成図である。

【図2】本実施形態に係るメモリ制御装置に適用されるデータ書き込み動作を示すフローチャートである。

【図3】本実施形態に係るメモリ制御装置に適用されるデータ読み出し動作を示すフローチャートである。

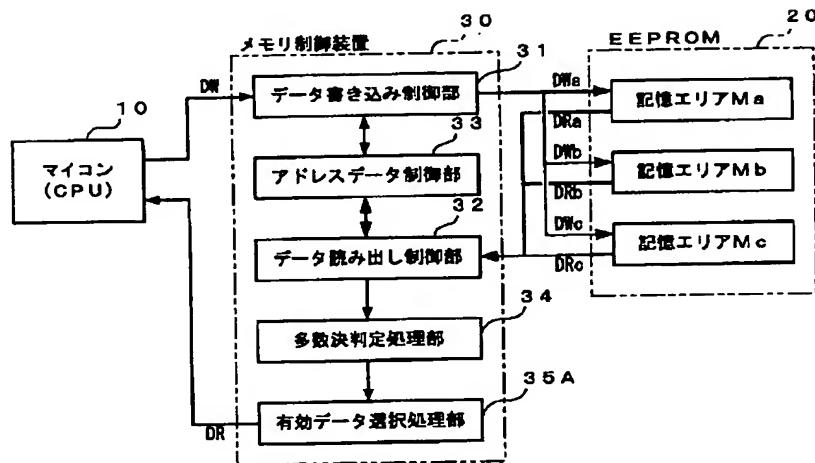
【図4】本発明に係るメモリ制御装置を適用したマイコン制御回路の第2の実施形態を示す概略構成図である。

【図5】本実施形態に係るメモリ制御装置に適用されるデータ処理手順を示すフローチャートである。

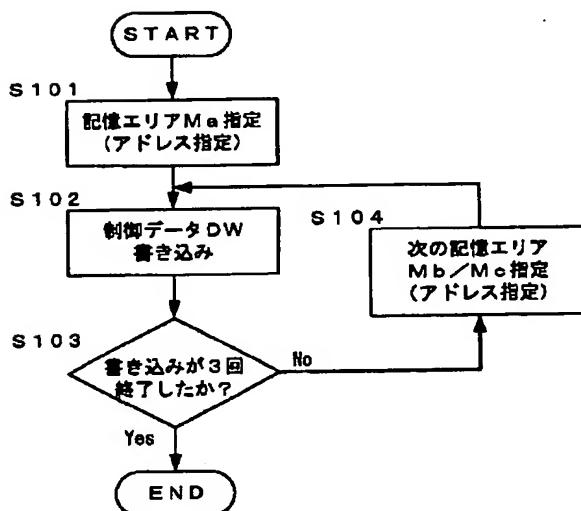
【符号の説明】

1 0	マイコン (C P U)
2 0	E E P R O M
3 0	メモリ制御回路
3 1	データ書き込み制御部
3 2	データ読み出し制御部
3 3	アドレスデータ制御部
3 4	多数決判定処理部
3 5 A, 3 5 B	有効データ選択処理部
3 6	デフォルトデータ保持部

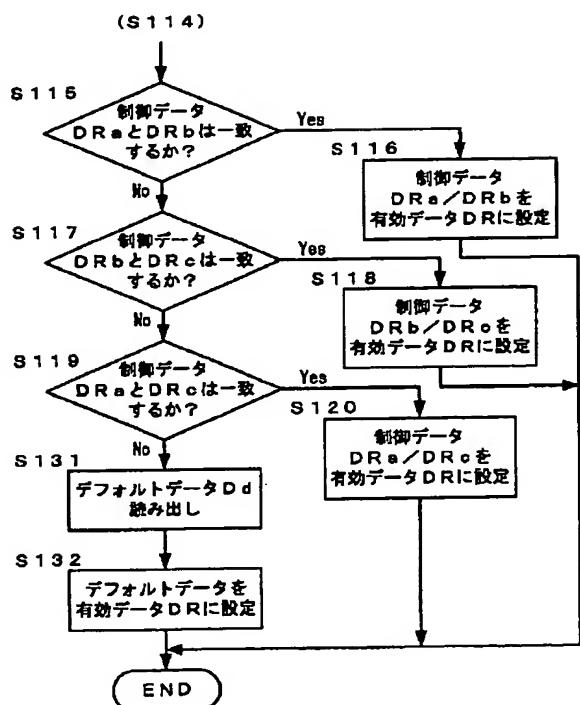
【図1】



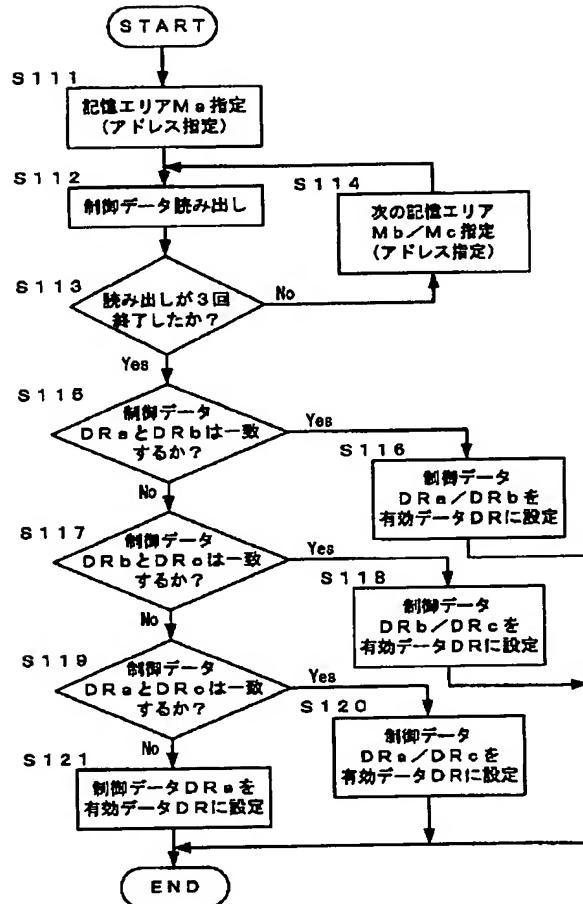
【図2】



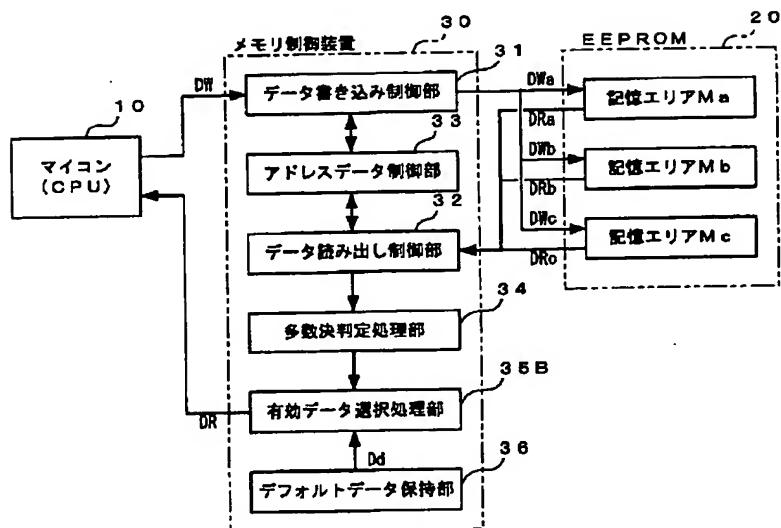
【図5】



【図 3】



【図 4】



# DELPHION

[RESEARCH](#)
[PRODUCTS](#)
[INSIDE DELPHION](#)
[SelectCR](#) [Stop Tracking](#)
[Logout](#) [Work Files](#) [Saved Searches](#) [My Account](#)

Search: QuickNumber Boolean Advanced Derwent Help

## The Delphion Integrated View

 Get Now:  PDF | More choices...

 Tools: Add to Work File: [Create new Work File](#) [Add](#)

 View: [INPADOC](#) | Jump to: [Top](#) [Image](#) Go to: [Derwent](#)
 Email this to a friend

### Title: JP2001350672A2: MEMORY CONTROL DEVICE AND ITS DATA PROCESSING METHOD

Derwent Title: Memory control device for microcomputer used in domestic appliance, selects data read from memory corresponding to data written initially into memory, as effective output data when all read data are different [Derwent Record]

Country: JP Japan  
Kind: A2 Document Laid open to Public inspection [Image](#)

Inventor: KASHIWABARA SATOSHI

Assignee: CASIO COMPUT CO LTD  
[News](#), [Profiles](#), [Stocks](#) and More about this company

Published / Filed: 2001-12-21 / 2000-06-08

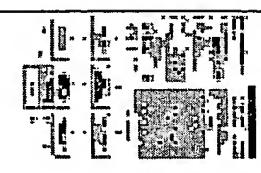
Application Number: JP20000000171558

IPC Code: G06F 12/16

Priority Number: 2000-06-08 JP20000000171558

Abstract: PROBLEM TO BE SOLVED: To provide a memory control device and a data processing method capable of selectively outputting effective data satisfactorily even when all written data are different by deciding by majority a plurality of written data recorded in a plurality of memory areas of a memory element.

SOLUTION: This memory control device 30 is provided with a data writing controller 31, a data readout controller 32, an address data controller 33, a majority decision processing section 34, and an effective data selection processing section 35A. When all read data differ and no majority decision is normally feasible at a readout action of control data, the data first written on an EEPROM


[View Image](#)

1 page

(electrically erasable programmable read-only memory) 20 are set as effective data and outputted to a microcomputer 10.

COPYRIGHT: (C)2001,JPO

Family:  
None

Other Abstract  
Info:  
None



Nominate this for the Gallery...



THOMSON  
\*  
\*  
\*  
\*  
\*

Subscriptions | Web Seminars | Privacy | Terms & Conditions | Site Map | Contact Us | Help  
Copyright © 1997-2005 The Thomson Corporation



(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 20013506  
 (43) Date of publication of application: 21.12.2001

(51) Int. Cl. G06F 12/16

(21) Application number: 2000171558  
 (22) Date of filing: 08.06.2000

(71) Applicant: CASIO COMPUT CO LTD  
 (72) Inventor: KASHIWABARA SATOSHI

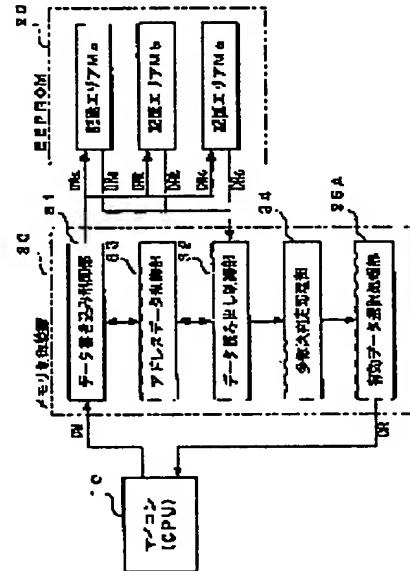
## (54) MEMORY CONTROL DEVICE AND ITS DATA PROCESSING METHOD

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a memory control device and a data processing method capable of selectively outputting effective data satisfactorily even when all written data are different by deciding by majority a plurality of written data recorded in a plurality of memory areas of a memory element.

SOLUTION: This memory control device 30 is provided with a data writing controller 31, a data readout controller 32, an address data controller 33, a majority decision processing section 34, and an effective data selection processing section 35A. When all read data differ and no majority decision is normally feasible at a readout action of control data, the data first written on an EEPROM(electrically erasable programmable read-only memory) 20 are set as effective data and outputted to a microcomputer 10.

COPYRIGHT: (C)2001,JPO





[OrderPatent](#)